

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-74471

(43) 公開日 平成10年(1998) 3月17日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 29/87			H 0 1 J 29/87	
G 0 2 F 1/1339			G 0 2 F 1/1339	
G 0 9 F 9/30	3 2 0		G 0 9 F 9/30	3 2 0
H 0 1 J 31/12			H 0 1 J 31/12	C

審査請求 未請求 請求項の数 4 F D (全 13 頁)

(21) 出願番号 特願平9-148559

(22) 出願日 平成9年(1997) 5月21日

(31) 優先権主張番号 6 5 6 9 9 3

(32) 優先日 1996年 5月28日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72) 発明者 ケニス・ディーン

アメリカ合衆国アリゾナ州フェニックス、
サウス・フィフス・ドライブ15633

(72) 発明者 ラルフ・シスネロス

アメリカ合衆国アリゾナ州テンピ、ウエスト・アマンダ173

(74) 代理人 弁理士 大貫 進介 (外 1 名)

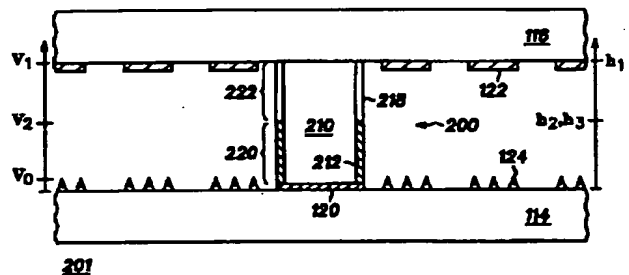
最終頁に続く

(54) 【発明の名称】 フィールド・エミッション・ディスプレイ用の被覆スペーサ

(57) 【要約】

【課題】 フィールド・エミッション・ディスプレイ 201 用のスペーサ 200 を提供する。

【解決手段】 スペーサ 200 は、低部抵抗性領域 220 および上部絶縁性領域 222 を含む。スペーサ 200 は、部材の下端部と、スペーサ 200 の全高 h_1 よりも低い高さとの間に延在する抵抗性コーティング 212 でコーティングされた部材 210 を有する。絶縁性コーティング 218 は部材 210 上に形成され、抵抗性コーティング 212 の上端部と部材 210 の上端部との間に延在する。抵抗性コーティング 212 は、スペーサ 200 の低部抵抗性領域 220 上で 2 以下の二次電子収率を有する。絶縁性コーティング 218 は、スペーサ 200 の上部絶縁性領域 222 上で 0.75 ~ 2 の二次電子収率を有する。



201

【特許請求の範囲】

【請求項1】 フィールド・エミッション・ディスプレイ（201, 301, 401, 501, 601）用のスペース（200, 300, 400, 500, 600）であって：0.5～3ミリメートルの範囲内の第1高さを有する部材（210, 310, 410, 510, 610）であって、誘電材料からなり、かつ上端部、下端部および側面を有する部材（210, 310, 410, 510, 610）；前記側面の一部上に形成され、前記部材（210, 310, 410, 510, 610）の前記 10 下端部から前記部材（210, 310, 410, 510, 610）の前記第1高さよりも小さい第2高さまで延在し、それにより前記スペースの低部抵抗性領域（220, 320, 420, 520, 620）を画定する抵抗性コーティング（212, 312, 412, 512, 612）であって、前記部材（210, 310, 410, 510, 610）の前記下端部と前記第2高さとの間に存在する動作電圧の範囲において2以下の二次電子収率を有する材料からなる抵抗性コーティング（212, 312, 412, 512, 612）；によって構成 20 され、

前記抵抗性コーティング（212, 312, 412, 512, 612）は、前記スペース（200, 300, 400, 500, 600）が前記フィールド・エミッション・ディスプレイ（201, 301, 401, 501, 601）の電界内に配置される際に、電荷を逃がすための導電経路となり、および前記抵抗性コーティング（212, 312, 412, 512, 612）の前記低い二次電子収率は、電子カスケードおよび二次電子放出なだれを最小限に抑えることにより、表面フラッシュオーバー 30 および表面リークを抑えることを特徴とするスペース（200, 300, 400, 500, 600）。

【請求項2】 カソード（114）およびアノード（116）を有するフィールド・エミッション・ディスプレイ（701, 801, 901）用のスペース（700, 800, 900）であって、前記カソード（114）およびアノード（116）は、所定の距離だけ離間された内面を有する、スペース（700, 800, 900）であって：前記カソード（114）の前記内面から第2高さまで延在し、かつ前記スペース（700, 800, 900）の低部抵抗性領域（720, 820, 920）を画定する第1群のファイバ層であって、前記第1群のファイバ層の各ファイバ層（702, 902, 904, 905, 906）は、互いに平行に延在し、かつ所定のピッチで離間された複数の延長ファイバ（712, 812, 913, 914, 915, 916）を含み、前記複数の延長ファイバ（712, 812, 913, 914, 915, 916）のそれぞれは導電性であり、前記第1群のファイバ層は、下ファイバ層（906）、上ファイバ層（903）および前記下ファイバ層（906）と前 50

記上ファイバ層（903）との間に設けられた複数の介在ファイバ層（904, 905）を含み、前記複数の介在ファイバ層（904, 905）のそれぞれは、直接隣接するファイバ層（702, 904, 905）に対して垂直に配向され、それによりクロスオーバー領域を画定し、前記複数の介在ファイバ層（904, 905）のそれぞれは、直接隣接するファイバ層（702, 903, 905, 904, 906）と前記クロスオーバー領域にて物理的に接触し、前記下層（906）は前記カソード

（114）の内面と嵌合する、第1群のファイバ層；および前記第1群のファイバ層の前記上ファイバ層（903）から前記アノード（116）の内面まで延在し、かつ前記スペース（700, 800, 900）の上部絶縁性領域（722, 822, 922）を画定する第2群のファイバ層であって、前記第2群のファイバ層の各ファイバ層（703）は、互いに平行に延在し、かつ所定のピッチで離間された複数の延長ファイバ（711, 811, 911）を含み、前記複数の延長ファイバのそれぞれは絶縁性であり、前記第2群のファイバ層は、下ファイバ層、上ファイバ層および前記下ファイバ層と前記上ファイバ層との間に設けられた複数の介在ファイバ層を含み、前記複数の介在ファイバ層のそれぞれは、直接隣接するファイバ層に対して垂直に配向され、それによりクロスオーバー領域を画定し、前記複数の介在ファイバ層のそれぞれは、直接隣接するファイバ層と前記クロスオーバー領域にて物理的に接触し、前記上ファイバ層は、前記アノード（116）の内面と嵌合し、前記下ファイバ層は、前記第1群のファイバ層の前記上ファイバ層（903）に対して垂直に配向され、それによりクロスオーバー領域を画定し、前記第2群のファイバ層の前記下ファイバ層は、前記クロスオーバー領域にて前記第1群のファイバ層の前記上ファイバ層（903）と物理的に接触する、第2群のファイバ層；によって構成され、

前記第1群および第2群のファイバ層の高さの和は、前記アノード（116）および前記カソード（114）の内面間の所定の距離に等しく、前記第1群のファイバ層および前記第2群のファイバ層は、電子が前記カソード（114）から前記アノード（116）に移動するための複数の開口部（724）を画定することを特徴とするスペース（700, 800, 900）。

【請求項3】 フィールド・エミッション・ディスプレイ（201, 301, 401, 501, 601）用のスペース（200, 300, 400, 500, 600）を作製する方法であって：0.5～3ミリメートルの範囲内の第1高さを有する部材（210, 310, 410, 510, 610）であって、誘電材料からなり、かつ上端部、下端部および側面を有する部材（210, 310, 410, 510, 610）を設ける段階；および前記部材（210, 310, 410, 510, 610）の 50 前記下端部から前記部材（210, 310, 410, 5

10, 610) の前記第1高さより低い第2高さまで延在する、前記側面の一部上に抵抗性コーティング(212, 312, 412, 512, 612)を形成する段階であって、前記抵抗性コーティング(212, 312, 412, 512, 612)は、前記部材(210, 310, 410, 510, 610)の前記下端部と前記第2高さとの間に存在する動作電圧の範囲において2以下の二次電子収率を有する材料からなる、段階; によって構成されることを特徴とする方法。

【請求項4】 フィールド・エミッション・ディスプレイ(201, 301, 401, 501, 601, 701, 801, 901)であって: 周辺領域および内面を有するアノード(116); 前記アノード(116)の前記内面に対置し、かつ所定の距離だけ離間された内面を有するカソード(114)であって、前記カソード(114)は、活性領域を囲む周辺領域を有し、前記カソード(114)は、前記活性領域内に複数のフィールド・エミッタ(124)を含み、前記アノード(116)は、前記カソード(114)よりも高い電圧であり、それにより前記アノード(116)と前記カソード(114)との間で電圧差を画定する、カソード(114); 前記周辺領域にて前記アノード(116)と前記カソード(114)との間に設けられたフレーム; 真空化されたインタスペース領域を画定する、前記アノード(116)の前記内面、前記カソード(114)の前記内面および前記フレーム; 前記インタスペース領域内に配置され、かつ第1および第2の対向端部を有するスペーサ(200, 300, 400, 500, 600, 700, 800, 900)であって、前記スペーサ(200, 300, 400, 500, 600, 700, 800, 900)は、0.5~3ミリメートルの範囲内の第1高さを有し、前記スペーサ(200, 300, 400, 500, 600, 700, 800, 900)の前記第1対向端部は前記アノード(116)と嵌合し、前記第2対向端部は前記カソード(114)と嵌合し、前記スペーサ(200, 300, 400, 500, 600, 700, 800, 900)は、前記カソード(114)の前記内面から、前記アノード(116)の前記内面から離間された第2高さまで延在する低部抵抗性領域(220, 320, 420, 520, 620, 720, 820, 920)を有し、前記スペーサ(200, 300, 400, 500, 600, 700, 800, 900)は、前記低部抵抗性領域(220, 320, 420, 520, 620, 720, 820, 920)の前記第2高さから前記アノード(116)の前記内面まで延在する上部絶縁性領域(222, 322, 422, 522, 622, 722, 822, 922)を有する、スペーサ(200, 300, 400, 500, 600, 700, 800, 900); によって構成され、前記低部抵抗性領域(220, 320, 420, 520, 620, 720, 820, 920)は、前記低部抵抗性領域(220, 320, 420, 520, 620, 720, 820, 920)から電荷をブリード・オフし、前記上部絶縁性領域(222, 322, 422, 522, 622, 722, 822, 922)は、前記アノード(116)と前記カソード(114)との間のリーク電流を防ぐことを特徴とするフィールド・エミッション・ディスプレイ(201, 301, 401, 501, 601, 701, 801, 901)。

0, 620, 720, 820, 920)は、前記低部抵抗性領域(220, 320, 420, 520, 620, 720, 820, 920)から電荷をブリード・オフし、前記上部絶縁性領域(222, 322, 422, 522, 622, 722, 822, 922)は、前記アノード(116)と前記カソード(114)との間のリーク電流を防ぐことを特徴とするフィールド・エミッション・ディスプレイ(201, 301, 401, 501, 601, 701, 801, 901)。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、フィールド・エミッション・アレイおよびフィールド・エミッション・ディスプレイ用のスペーサに関し、さらに詳しくは、二次電子放出、スペーサ関連画像ひずみおよび電力損を低減する被覆スペーサ(coated spacer)に関する。

【0002】

【従来の技術】 フィールド・エミッション・アレイおよびディスプレイは、当技術分野で周知である。これらは、2つのディスプレイ・プレート間の真空インタスペース領域(evacuated interspace region)を有するエンベロープ構造を含む。電子は、Spindtチップなど電子エミッタ構造が作製されるカソード・プレート(カソードまたはバック・プレートともいう)から、発光材料または「燐光体(phosphor)」の被着物を含むアノード・プレート(アノードまたはフェース・プレートともいう)に、インタスペース領域を介して移動する。一般に、カソード・プレートとアノード・プレートとの間の真空インタスペース領域内の圧力は、 10^{-6} torr 台である。

【0003】 低い消費電力を維持しつつ、カソード・プレートから電子を抽出するため強い電界(プレート間の単位距離当たりの電圧)を与えるため、カソード・プレートとアノード・プレートとの間の距離は小さく、1ミリメートル程度である。このようにプレート間が近接することにより、電子放出面とアノード・プレートの内面との間の潜在的な絶縁破壊(electrical breakdown)の問題が生じる。このような絶縁的破壊は、ディスプレイを実質的に損なう。

【0004】 カソード・プレートおよびアノード・プレートは、ディスプレイの軽量化を図るため薄い。ディスプレイ領域が1インチ対角線ディスプレイの場合のように小さく、また約0.04インチの厚さの一般的なガラス・シートをプレートに利用すると、ディスプレイはそれほど潰れたり曲がったりしない。しかし、ディスプレイ領域が大きくなるにつれて、薄いプレートは圧力差に耐え、かつインタスペース領域の真空時に潰れや曲げを防ぐほど十分に強くない。例えば、30インチ対角線を有するスクリーンには、数トンの大気圧が加わる。この膨大な圧力のため、スペーサが大型軽量ディスプレイに

において重要な役割を果たす。スペーサとは、アノード・プレートとカソード・プレートとの間に組み込まれる構造体のことである。スペーサは、薄型軽量プレートと共に、大気圧を支えて、プレート厚さをほとんどあるいはまったく増加させずに、ディスプレイ領域の大型化を可能にする。

【0005】

【発明が解決しようとする課題】アノード・プレートはカソード・プレートに比べて高い電位に維持され、それによりディスプレイ・プレート間に電界を確立する。プレート間の電位差はキロボルト(kV)台である。電界は、カソード・プレート上のエミッタから電子を抽出し、アノード電位は放出電子をアノード・プレート上の燐光体被着物の方へさらに加速させる。プレート間の短絡を防ぐため、スペーサを形成するため高誘電材料が用いられる。しかし、誘電材料は、フィールド・エミッション・ディスプレイで一般的なエネルギーを有する一次電子による照射を受けた場合とは実質的に異なる二次電子収率(secondary electron yield)、すなわち放出二次電子と入射一次電子との比率を有する。この結果、スペーサ面に帯電が生じる。帯電したスペーサ面は、スペーサ付近の電界の特性を変えてしまい、それにより電子を偏向させ、色「にじみ(bleeding)」などの画像歪を生じさせる。

【0006】フラット・パネル・ディスプレイ内のスペーサの帯電に対処するため、いくつかの方式が開発されてきた。ある方式では、ディスプレイ内の真空環境にさらされるスペーサの外全面に、 $10^9 \sim 10^{14}$ オーム/平方程度のシート抵抗を有する薄い導電性コーティングが形成される。この導電性コーティングにより、電荷をカソードに「ブリード・オフ(bleed off)」することができる。この方式では、アノードからカソードにリークを生じさせ、その結果、電力損が生じるという欠点がある。他の方式では、スペーサ壁に追加電極を設けることにより、電力損を低減することが試みられた。この方法では、製造時の複雑さが増し、製造コストが増加するという欠点がある。

【0007】

【課題を解決するための手段】従って、表面上の帯電が低く、ディスプレイ内の電力損を低減し、容易かつ経済的に作製されるディスプレイ・スペーサが必要とされる。

【0008】

【実施例】図1を参照して、フィールド・エミッション・ディスプレイ101用の従来のスペーサ100の断面図を示す。従来のスペーサ100は、導電体112によって被覆された絶縁体110を含み、この導電体112はカソード114の内面とアノード116の内面との間に延在し、それによりアノード116とカソード114との間に導電経路を設ける。低電子放出コーティング1

18は、導電体112の全面に形成される。導電体112は、導電性パッド120を介してグラウンドに接続される。アノード116は複数の燐光体被着物122を含み、カソード114は複数のフィールド・エミッション構造124を含む。フィールド・エミッション・ディスプレイ101の動作時に、カソード114とアノードとの間のインタスペースの高さに沿って電圧勾配(voltage gradient)が確立され、この電圧はカソード114からアノードの116の方向に増加する。アノード116は、カソード114に対して1500~10,000ボルトの正電圧で一般に維持される。フィールド・エミッション・ディスプレイ101の動作中に、電子はフィールド・エミッション構造124から放出され、アノード116に向かって加速される。放出電子の軌跡は、アノード116およびカソード114に対して厳密に垂直ではない。むしろ、放出電子の軌跡は、電子の実質的に円錐形のスプレーを形成する。一般的な電子放出パターンは、図1において点線で示される。従って、スペーサ100付近のフィールド・エミッション構造によって放出される電子は、スペーサ110に入射する。スペーサ100の表面における入射または一次電子の最大フラックスは、アノード116付近のスペーサ100の上部付近で生じ、スペーサの表面における一次電子の最低フラックスは、カソード114付近のスペーサ100の底部付近で生じる。

【0009】ここで図2を参照して、本発明によるフィールド・エミッション・ディスプレイ201用のスペーサ200の実施例の断面図を示す。フィールド・エミッション・ディスプレイ201は、図1を参照して説明したアノード116、カソード114および導電性パッド120を含む。スペーサ200は、アノード110の内面とカソード114の内面との間の距離に等しい、 $0.5 \sim 3$ ミリメートル内の高さ h_1 を有する部材210を含む。スペーサ200の下エッジはカソード114と嵌合し、スペーサ200の上エッジはアノード116と嵌合する。適切な数および配列のスペーサ200がディスプレイ201内に設けられると、スペーサ200はアノード116とカソード114との間のインタスペース領域の真空時にフィールド・エミッション・ディスプレイ201が爆縮(implosion)するのを防ぐ機械的な隔離(standoff)機能を提供する。部材210は、酸化ガラス、酸化セラミック、ガラス・セラミック、マイカまたは他のシリケート材料などの誘電材料からなり、フィールド・エミッション・ディスプレイ201の動作電圧下でアノード116とカソード114との間の電流の流れを防ぐ。しかし、誘電材料は、フィールド・エミッション・ディスプレイ内の典型的な動作状態下では高い二次電子収率を一般に有する。これらの誘電材料からなる構造がフィールド・エミッション・ディスプレイ201のインタスペース領域内に存在すると、スペーサ面のほとんど

で正電荷を帯びる。この帯電面は、誘電構造付近の電界を歪ませて、それによりこの構造付近の電子の流れに悪影響を及ぼし、そのためディスプレイによって生成される画像に歪が生じる。アノード116における電子フラックスの望ましくない増加や、電界における歪など、高い二次電子収率に起因する悪影響は、カソード114付近の誘電面からの二次電子放出のほうが目立つ。この理由は、まず、悪影響を受けた主電子は軌道から外れるのにより多くの時間がかかり、そのためその軌跡における歪が目立つためである。また、カソード114付近の領域から放出された二次電子は、アノード116付近の構造の領域から放出される二次電子に比べて、長期間で加速される。カソード114付近の領域から生じるこれらの二次電子は、蛍光体付着物122の劣化にかなり寄与する十分なエネルギーで、アノード116に達する。一方、アノード116付近の領域から放出された二次電子はより短い期間で加速され、そのためアノード116に達してもそれほどエネルギーは高くない。フィールド・エミッション・ディスプレイ201の動作中、アノード116はカソード114に対して約5000ボルトの正電圧で維持される。スペーサ200の高さにおける電圧分布は実質的に線形である。二次電子放出およびカソード114付近のスペーサの低部における表面帯電の悪影響を軽減するため、部材210の側面の低部に抵抗性コーティング212が形成され、それによりスペーサ200の低部抵抗性領域220を画定する。抵抗性コーティング212は、部材210の下エッジから、スペーサの全高よりも小さい高さ h_1 で延在する。抵抗性コーティング212の上エッジは、アノード116の内面から離間される。アノード116の内面とオーム接触しないことにより、抵抗性コーティング212はアノード116とカソード114との間でリーク電流を伝えない。抵抗性コーティング212は、小さな電流を導通できる。そのため、一次電子が低部抵抗性領域220に入射すると、低部抵抗性領域220から、グランドに接続された導電性パッド120内にブリード・オフされる。このブリード・オフ電流を与えるため、抵抗性コーティング212は 10^{10} オーム/平方以下シート抵抗を有する。図9を参照して以下で説明するスペーサ200の別の実施例では、抵抗性コーティング212はその高さに沿って抵抗に勾配があり、そのため電気抵抗は部材210の下エッジから部材210の上エッジの方向に増加する。この勾配は、抵抗性コーティング212の上エッジからカソード114への方向の電流を促進する。抵抗の勾配は、抵抗性コーティング212の厚さの勾配をその高さに沿って設けるか、あるいは抵抗性コーティング212を構成する抵抗性材料の適切な成分の組成に勾配を設けることによって実現できる。さらに、抵抗性コーティング212を構成する材料は、フィールド・エミッション・ディスプレイ201の動作中に低部抵抗性領域220上に存

在する動作電圧の範囲（図2に示すように、 $V_1 \sim V_2$ ）において2以下の二次電子収率を有する。好適な実施例では、カソード114の内面における電圧 V_1 は約100ボルトで、アノード116の内面における電圧 V_2 は約5000ボルトである。スペーサ200の高さにおける電圧変化は実質的に線形なので、スペーサ200の中間における電圧 V_3 は約2500ボルトである。本発明によるフィールド・エミッション・ディスプレイの別の実施例では、 V_1 の値は異なり、2000~3000ボルトの電圧範囲の位置は異なる。図3および図4を参照して詳しく説明するように、抵抗性コーティング212の上エッジは、部材210に沿って配置され、ここで電圧は2000~3000ボルトの範囲内である。図2の特定の実施例では、抵抗性コーティング212の上エッジは、スペーサ200の中間領域にある高さ h_1 に配置される。また、抵抗性コーティング212の低い電子放出比は、カソード114に最も近いスペーサ200の側面上の電子カスケードおよび二次電子放出なだれの電位を低減することにより、表面フラッシュオーバーおよび表面リークを抑える。抵抗性コーティング212は、酸化亜鉛、酸化クロムまたは酸化銅などの導電性酸化物からなる。また、酸化マグネシウムのスパッタリング膜を利用して、抵抗性コーティング212を形成してもよい。酸化マグネシウム膜を被着するためのスパッタリング・プロセスは、所望の値のシート抵抗および二次電子収率が得られるように、抵抗性コーティング212内に十分な濃度の欠陥状態(defect states)を与えるべく適応できる。他の酸化物の適応型薄膜被着でも、抵抗性コーティング212として利用するのに適したコーティング材料が得られる。抵抗性コーティング212の厚さは50~500オングストロームの範囲内であり、そのため抵抗性コーティング212に入射する一次電子は抵抗性コーティング212を完全に貫通せず、部材210に入る。本発明の別の実施例では、抵抗性コーティング212の厚さは500オングストローム以上である。スペーサ200は、部材210の側面の一部に形成され、かつ高さ h_1 から部材210の上エッジまで延在する絶縁性コーティング218をさらに含む。この特定の実施例では、 h_1 は h_2 に等しい。本発明によるスペーサの別の実施例では、図6および図7を参照して以下でさらに詳しく説明するように、 h_1 は h_2 に等しくない。絶縁性コーティング218の露出部分は、スペーサ200の上部絶縁性領域222を画定する。絶縁性コーティング218は、スペーサ200の上部絶縁性領域222上に存在する、この特定の実施例では約2500~5000ボルトの動作電圧の範囲（図2に示すように、 $V_1 \sim V_2$ ）において0.75~2の範囲内の二次電子収率を有する材料からなる。フィールド・エミッション・ディスプレイ201の動作中に絶縁性コーティング218の表面上に形成する電荷は、アノード付近の上部絶縁性領域

2 2 2 上にのみ延在し、そのため上述のように、二次放出の悪影響は部材 2 1 0 の低部からの二次電子放出による悪影響よりも目立たない。絶縁性コーティング 2 1 8 は二酸化シリコンまたは酸化アルミニウムなどの誘電材料からなり、2 0 ボルト／マイクロメートル以上の絶縁破壊強さを有する。カソード 1 1 4 およびアノード 1 1 6 の内面の間の間隔は一般に 0. 5 ～ 3 ミリメートルであり、かつアノード 1 1 6 とカソード 1 1 4 との間の電圧差の代表的な範囲は 1 5 0 0 ～ 1 0, 0 0 0 ボルトなので、この絶縁破壊強さにより、絶縁性コーティング 2 1 8 はフィールド・エミッション・ディスプレイの典型的な範囲内の動作電圧に対して非導通であることが保証され、それによりアノード 1 1 6 と抵抗性コーティング 2 1 2 との間のリーク電流およびそれに伴う電力損を防ぐ。絶縁性コーティング 2 1 8 は、 10^{10} オーム／平方以上のシート抵抗および 2 マイクロメートル以上の厚さを有する。

【0 0 1 0】ここで図 3 ないし図 5 を参照して、抵抗性構成コーティング 2 1 2 からなる適切な材料 (図 3)、絶縁性コーティング 2 1 8 からなる適切な材料 (図 4) およびスペーサ 2 0 0 (図 5) について、二次電子収率と一次入射電子のエネルギーとの間の関係を示す模式図を示す。図 3 における曲線の形は比較的低い抵抗率を有する材料の典型であり、図 4 における曲線の形は誘電体など高い抵抗率を有する材料の典型である。図 3 ないし図 5 に示す電圧範囲は、フィールド・エミッション・ディスプレイ 2 0 1 における電圧範囲に等しい。フィールド・エミッション・ディスプレイ 2 0 1 に見られる電圧の範囲では、図 3 の材料の二次電子収率は 1 または約 1 であり、二次電子収率が 1 である電圧値、すなわちクロスオーバー点は、ほとんどの適切な材料では 2 0 0 0 ～ 3 0 0 0 ボルトである。スペーサの中間領域における電圧値は約 2 5 0 0 ボルトであり、このクロスオーバー範囲内である。しかし、図 4 に示す高抵抗性材料の二次電子収率は、低いほうの電圧範囲 $V_1 \sim V_2$ におけるよりもはるかに大きい場合が多い。ディスプレイの低いほうの電圧範囲において高抵抗性材料を利用すると、かなりの帯電の結果、ディスプレイ画像が歪んでしまう。従って、本発明により、低部領域においてスペーサ 2 0 0 をコーティングするために用いられる材料はほぼ 1 の二次電子収率を有し、これは図 3 において示されるような材料によって提供される。図 4 に示すような高抵抗性材料は、上部領域においてスペーサ 2 0 0 をコーティングするために用いられ、ここでディスプレイ 2 0 1 の動作電圧は $V_2 \sim V_3$ の範囲であり、そのため上部絶縁性領域 2 2 2 においてほぼ 1 の二次電子収率が得られ、しかもアノード 1 1 6 とカソード 1 1 4 との間のリーク電流を防ぐ。図 3 および図 4 を参照して説明するようなコーティング材料の利用により、スペーサ 2 0 0 の二次電子収率は図 5 に示すようになる。高さのほとんどの部分で、二次電

子収率はほぼ 1 である。 V_1 付近の領域では、一次電子のフラックスは低く、そのため帯電効果はわずかであり、二次電子収率の非ユニタリー値 (non-unitary value) はほとんど影響がない。低部抵抗性領域 2 2 0 の上部における抵抗性コーティング 2 1 2 の二次電子収率は 0. 8 ～ 1. 5 の範囲内であり、上部絶縁性領域の底部における絶縁性コーティング 2 1 8 の二次電子収率は 0. 9 ～ 2 の範囲内である。本発明によるフィールド・エミッション・ディスプレイの別の実施例では、アノード 1 1 6 における電圧は 5 0 0 0 ボルト以上または以下である。アノード 1 1 6 における電圧が約 3 0 0 0 ボルトである場合、低部抵抗性領域と上部絶縁性領域との間の遷移は、スペーサの全高の半分以上であるスペーサに沿った高さにある。

【0 0 1 1】ここで図 6 および図 7 を参照して、本発明によるフィールド・エミッション・ディスプレイ 3 0 1, 4 0 1 用のスペーサ 3 0 0, 4 0 0 の他の実施例の断面図をそれぞれ示す。これら特定の実施例において、絶縁性コーティング 3 1 8, 4 1 8 は、抵抗性コーティング 3 1 2, 4 1 2 の下に埋設された部分を含む。これらの構成は、特に、上部絶縁性領域 3 2 2, 4 2 2 を画定する絶縁性コーティング 3 1 8, 4 1 8 の露出部分がアノード 1 1 6 付近の部材 3 1 0, 4 1 0 の高さの小さな部分 (h_2 と h_1 との間) のみを被覆することが望ましい場合に、より作製しやすい。スペーサ 3 0 0, 4 0 0 の他のすべての部分は図 2 のスペーサ 2 0 0 と同じであり、それぞれ「3」、「4」から始まる同様な参照番号が付されている。スペーサ 2 0 0, 3 0 0, 4 0 0 は、例えば、ガラス・シートを設け、このガラスを適切な寸法の部材 2 1 0, 3 1 0, 4 1 0 に切断し、それから多数の既存の膜被着方法のうちの一つを利用して部材 2 1 0, 3 1 0, 4 1 0 をコーティングして、最初に絶縁性コーティング 2 1 8, 3 1 8, 4 1 8 を設け、次に抵抗性コーティング 2 1 2, 3 1 2, 4 1 2 を塗布することによって作られる。スペーサ 2 0 0, 3 0 0, 4 0 0 は、絶縁性コーティング 2 1 8, 3 1 8, 4 1 8 の膜被着中に溝付ジグ (grooved jig) に保持できる。次に、スペーサ 2 0 0, 3 0 0, 4 0 0 はジグ内で回転され、抵抗性コーティング 2 1 2, 3 1 2, 4 1 2 が塗布され、このジグは、上部絶縁性領域 2 2 2, 3 2 2, 4 2 2 上に抵抗性材料が被着するのを防ぐ物理的なマスクとして機能する。

【0 0 1 2】ここで図 8 を参照して、本発明によるフィールド・エミッション・ディスプレイ 5 0 1 用のスペーサ 5 0 0 の別の実施例の断面図を示す。スペーサ 5 0 0 は、図 1 を参照して説明した抵抗性コーティング 2 1 2 と同じ特性を有する抵抗性コーティング 5 1 2 でのみコーティングされた部材 5 1 0 を含み、絶縁性コーティングは設けられない。これは、スペーサ構造を作製するために一般に用いられる材料は抵抗性が高く、図 4 のグラ

フに示したものと同様な二次電子収率特性を有するためである。図8の実施例では、部材510は、約20ボルト／マイクロメートル以上の絶縁破壊強さを有する誘電材料などの抵抗性の高い材料の一つからなる。部材510は、酸化ガラス、酸化セラミック、ガラス・セラミック、マイカまたは他のシリケート材料などの誘電材料からなる。従って、部材510の露出部分は、スペース500の上部絶縁性領域522を画定し、これはアノード116と抵抗性コーティング212との間で電流が流れるのを許さない。

【0013】ここで図9を参照して、本発明によるフィールド・エミッション・ディスプレイ601のスペース600の別の実施例の断面図を示す。この特定の実施例では、抵抗性コーティング612は、その幅がカソード114付近の端部で最大となり、他端で最小となるように先細る。この厚さの勾配は、低部抵抗性領域620の高さに沿って抵抗の勾配を与え、それにより導電性パッド120への方で電流の流れを促進する。スペース600の他のすべての要素および特性は、図8を参照して説明したスペース500と同じである。

【0014】ここで図10を参照して、本発明によるフィールド・エミッション・ディスプレイ701用のスペース700の別の実施例の断面図を示す。スペース700は、スペース700の低部抵抗性領域720を構成する第1群のファイバ層702と、スペース700の上部絶縁性領域722を構成する第2群のファイバ層703とを含む。低部抵抗性領域720は、カソード114の内面から高さ h_1 まで延在する。第1群のファイバ層の各ファイバ層702は、表面にて導電性である複数の延長ファイバ(elongated fiber)712を含む。あるファイバ層702内の延長ファイバ712は互いに平行であり、所定のピッチで離間される。延長ファイバ712は、直接隣接したファイバ層の延長ファイバに対して垂直に配向され、それによりクロスオーバー領域(cross-over region)を画定する。この特定の実施例では、各延長ファイバ712は、50～250マイクロメートルの範囲の直径を有する。第2群のファイバ層の各ファイバ層703は、絶縁性である複数の延長ファイバ711を含み、それによりアノード116とカソード114との間のリーク電流を防ぐ。延長ファイバ711は互いに平行であり、所定のピッチで離間される。延長ファイバ711は、直接隣接したファイバ層の延長ファイバに対して垂直に配向され、それによりクロスオーバー領域を画定する。この特定の実施例では、各延長ファイバ711は、50～250マイクロメートルの範囲の直径を有する。この特定の実施例では、延長ファイバ711、712はコア・ファイバ710を含む。コア・ファイバ710は誘電材料からなり、ストランド、スレッド、ファイバ、ストリング、ロッドまたはスペース700の基本構成ブロックを構成するのに適した他の線形要素を含むことが

できる。コア・ファイバ710は、ガラス、酸化セラミックまたはガラス・セラミックなど適切な材料からなる。各延長ファイバ712は、コア・ファイバ710上に形成され、かつ低部抵抗性領域720上に存在する動作電圧の範囲($V_0 \sim V_1$)について2以下の二次電子収率を有する材料からなる抵抗性コーティング713, 714, 715, 716をさらに含む。この特定の実施例では、抵抗性コーティング713は最大のシート抵抗を有し、抵抗性コーティング714, 715, 716は順に低いシート抵抗を有し、そのため低部抵抗性領域720上に抵抗の勾配が存在する。抵抗性コーティング713, 714, 715, 716は、 10^{10} オーム／平方以下のシート抵抗を有する。オーム接触はクロスオーバー領域に設けられ、ここで隣接する延長ファイバ712は物理的に接触し、それによりフィールド・エミッション・ディスプレイ701の動作中に抵抗性コーティング713, 714, 715, 716から電荷をブリードするための導電経路となる。フィールド・エミッション構造124によって放出される電子の一部は、抵抗性コーティング713, 714, 715, 716に入射する。抵抗性コーティング713, 714, 715, 716の二次電子収率は、図3に示す一般的な傾向に追従し、ここで二次電子収率は、フィールド・エミッション・ディスプレイ701内のほとんどの電圧範囲ではほぼ1であり、そのため帯電の悪影響を防ぐ。本発明によるスペースの別の実施例では、抵抗性コーティング713, 714, 715, 716は同一材料からなり、同じシート抵抗を有する。カソード114に隣接する下ファイバ層702は、グランドに接続された導電性パッド120とオーム接触する。ただし、低部抵抗性領域720から適切なブリード・オフ電流を与えるために導電性パッドは必要ないことが判明し、そのため本発明の別の実施例では、導電性パッド120は含まれない。上部絶縁性領域722は、低部抵抗性領域720の上エッジからアノード116の内面まで延在する。ファイバ層703を構成する各延長ファイバ711は、コア・ファイバ710上に形成された絶縁性コーティング718を含む。この特定の実施例では、絶縁性コーティング718は、第1群のファイバ層の上ファイバ層702とアノード116の内面との間に存在する動作電圧範囲 $V_0 \sim V_1$ において0.75～2の範囲内の二次電子収率を有する材料からなる。また、絶縁性コーティング718は、20ボルト／マイクロメートル以上の絶縁破壊強さと、 10^{10} オーム／平方以上のシート抵抗とを有する。絶縁性コーティング718は、二酸化シリコン、酸化アルミニウムまたは高抵抗率を有する金属酸化物などの絶縁性材料からなる。カソード114からアノード116への高さに沿ったスペース700の代表的な二次電子収率を図5に模式的に示す。抵抗性コーティング713, 714, 715, 716および絶縁性コーティング718において用いるのに

適したほとんどの材料のクロスオーバー領域は、2000～3000ボルトの電圧範囲内でクロスオーバー点を有する。この特定の実施例におけるこのクロスオーバー電圧範囲はスペース700の中央領域で生じるので、低部抵抗性領域720と上部絶縁性領域722との間の遷移はスペース700の高さの約半分の h_1 にて生じる。これは、スペース700のほとんどの部分でほぼ1の二次電子収率を与える。この特定の実施例では、低部抵抗性領域720の上ファイバ層702の抵抗性コーティング713の二次電子収率は0.8～1.2の範囲内であり、上部絶縁性領域722の下ファイバ層703の絶縁性コーティングの二次電子収率は0.9～1.5の範囲内である。

【0015】ここで図11を参照して、アノード116を省いた、図10のフィールド・エミッション・ディスプレイ701の上面図を示す。延長ファイバ711、712は、複数の開口部724を画定するように位置決めされる。また、開口部724は、フィールド・エミッション構造124において放出される電子が開口部724を介してアノード116に導かれるように、フィールド・エミッション構造124と位置決めされる。延長ファイバ711、712の直径を考慮して、低部抵抗性領域720および上部絶縁性領域722の高さの和が、この特定の実施例では約1ミリメートルであるアノード116とカソード114の内面間の所定の間隔に等しくなるように、低部抵抗性領域720および上部絶縁性領域722の所定の高さを達成するため、十分な数のファイバ層702、703が設けられる。ここで図12を参照して、本発明によるフィールド・エミッション・ディスプレイ801用のスペース800の別の実施例の断面図を示す。この特定の実施例では、上部絶縁性領域822内の複数の延長ファイバ811は、絶縁性コーティングを含まない。代わりに、延長ファイバ811自体が必要な電気特性を有する絶縁性材料からなり、アノード116と低部抵抗性領域820との間のリーク電流を防ぎ、かつ図4に模式的に示したのと同様に、動作電圧領域 $V_1 \sim V_2$ において表面上で低い二次電子収率を与える。延長ファイバ811は、適切なガラス、酸化セラミックまたはガラス・セラミックなどの適切な誘電材料からなる。スペース800の他のすべての要素は、図10を参照して説明したスペース700の対応する要素と同一であり、「8」から始まる参照番号が付される。

【0016】ここで図13を参照して、フィールド・エミッション・ディスプレイ901用のスペース900の別の実施例の断面図を示す。スペース900は、複数のファイバ層903、904、905、906を有する低部抵抗性領域920を含む。ファイバ層903、904、905、906のそれぞれは、複数の延長ファイバ913、914、915、916を含み、これらの延長ファイバは、フィールド・エミッション・ディスプレイ

901の動作中に、低部抵抗性領域920における電荷蓄積を導電性パッド120にブリード・オフできるように所定の抵抗率を有する材料からなる。この特定の実施例では、延長ファイバ913、914、915、916は、低部抵抗性領域920の高さに沿って抵抗率の勾配があり、抵抗率がカソード114から上部絶縁性領域922に向かって増加するように、異なる抵抗率を有する。別の実施例では、低部抵抗性領域の延長ファイバのすべては、電荷ブリード・オフを行うのに適した同じ所定の抵抗率を有する。スペース900の残りの要素は、図12を参照して説明したスペース800の対応する要素と同一であり、同様に「9」から始まる参照番号が付される。延長ファイバ913、914、915、916は、 $10^6 \sim 10^{10}$ オーム・cmの固有抵抗を有する材料からなり、所望の電気特性を与えるため、適切な濃度の鉛化合物（酸化鉛など）、銀化合物、 RuO_3 化合物またはPt化合物を含有するガラスから構成できる。

【0017】ここで図14および図15を参照して、図10ないし図13に示すスペース700、800、900の実施例を作製するために利用できる固定具50の上面図および分解斜視図を示す。図10のスペース700の作製のために固定具50を利用することについて、以下で詳しく説明する。この説明から、図12および図13のスペース800、900は、スペース700を作製する方法に簡単な修正を施すことによって同様に作製できることが明白になろう。固定具50は、まず適切な直径を有する可撓性ガラス・スレッドを設けることによってスペース700を作製するために用いられる。このようなガラス・スレッドは、Corning Incorporated社など多くのガラス・ファイバ製造業者のひとつから購入できる。ガラス・スレッドは、コア・ファイバ710からなる。図14に示すのは、固定具50上に張ったガラス・スレッドである。図15は、わかりやすいようにスレッドを省いた、固定具50の分解図である。固定具50は、ガラス・スレッドが張られた対置する千鳥列のピン54の2つの直交する対を有するフレーム52からなる。フレーム52は、冷間圧延鋼(cold-rolled steel)からなってもよい。「ジグ・プレート」型冷間圧延鋼からなってもよいベース・プレート56は、2つの固定具部品を合わせたときに、フレーム52内の窓60内に嵌入するプラト一部58を有する。スペース700を作るため、適切な長さの下塗りされたガラス・スレッドが設けられる。第1長さは、抵抗性コーティング716を有するファイバ層702を作るために用いられる。この第1長さは、ガラス・スレッドよりも低い融点を有する適切なセメントで下塗りされる。このセメントは、抵抗性コーティング716の所望の電気特性を与える材料からなる。一例として、セメントは、抵抗性コーティング716の所定のシート抵抗を与えるため、適切な濃度のPbまたはAgを含有する失透フリット(devitrifying fr

ii) を含むことができる。ガラス・スレッドのこの第 1 長さは、ネジでもよい締結具 6 2 と同様に、フレーム 5 2 に固定される。次に、ガラス・スレッドの第 1 長さは、スレッドのワープ(warp) 6 5 が形成されるまで、千鳥ピン 5 4 上で前後に波状にきつく巻かれる。次に、ガラス・スレッドの第 1 長さは切断され、別の締結具 6 4 でフレーム 5 2 に固定される。この手順は、抵抗性層 7 1 6 を有するファイバ層 7 0 2 と嵌合するファイバ層 7 0 2 の抵抗性コーティング 7 1 5 からなる適切なセメントで同様に下塗りされたガラス・スレッドの第 2 長さについて繰り返される。巻き付け手順は、下塗りされたガラス・スレッドのこの第 2 長さでも繰り返され、直交した第 2 のスレッドのワープ 6 6 を設ける。抵抗性コーティング 7 1 4 を設けるためセメントのコーティングを有するガラス・スレッドの第 3 の長さ(図示せず)はピン 5 4 上に巻かれ、次に抵抗性コーティング 7 1 3 を設けるためセメントのコーティングを有するガラス・スレッドの第 4 の長さ(図示せず)はピン 5 4 上に巻かれ、スペーサ 7 0 0 の低部抵抗性領域 7 2 0 の先駆構造となる。すべてのセメント・コーティングは、ガラス・スレッドよりも低い融点を有し、またすべての熱処理を施した後に対応する抵抗性コーティングの所定のシート抵抗を与えるため、Pb または Ag などの導電性元素の適切な組成を有する。(低部抵抗性領域 7 2 0 のすべての延長ファイバ 7 1 2 のシート抵抗が等しい別の実施例では、単一の長さのガラス・スレッドが連続的に巻かれて、所望の数のスレッドのワープを構成する。次に、スレッド・ワープは、例えば、低部抵抗性領域 7 2 0 を形成するために用いられるワープの表面全部をコーティングできる細かい霧を生成するエア・ブラシまたは他のスプレーにより、懸濁液でセメントに吹き付けることにより、セメントで同時にコーティングされる。) 次に、絶縁性層 7 1 8 の所要の絶縁特性を与えるセメントのコーティングを有するスレッドの最後の長さが設けられる。このスレッドの最後の長さは、上部絶縁性領域 7 2 2 を形成するために用いられる。セメントは、導電成分をほとんどまたはまったく有しない適切なフリットを含有してもよい。最後の長さはフレーム 5 2 に固定され、ピン 5 4 に連続的に巻かれ、それにより上部絶縁性領域 7 2 2 の高さを実現するため、またスペーサ 7 0 0 の高さを実現するために十分な数のスレッドのワープが設けられるまで、構造体の高さに追加しつつづける。フレーム 5 2 を強化し、かつセメント硬化工程中に重力によるファイバのたるみを排除するため、プラトー部 5 8 をフレーム 5 2 内 5 2 の窓 6 0 に嵌合して、フレーム 5 2 はベース・プレート 5 6 に装着される。これは、下塗りされたスレッドを張った後に行ってもよいが、その前に行うことが好ましい。複数のネジ 6 8 は、フレーム 5 2 をベース・プレート 5 6 に締め付けるために用いられる。フレーム 5 2 をベース・プレート 5 6 に装着する前に、ベース

・プレート 5 6 は、グラファイトなどの剥離剤が吹き付けられる。そして、すべて必要なスレッドを張った固定具 5 0 0 はオープンに入れられ、セメントを硬化させるのに適した温度で焼成される。セメントが硬化した後、固定具 5 0 はオープンから取り出され、室温で冷却される。硬化した被覆ガラス・スレッド構造は固定具 5 0 から取り外され、ピン 5 4 に巻かれた丸めエッジはトリミングされ、それによりスペーサ 7 0 0 となる。硬化工程中に、低部抵抗性領域 7 2 0 の隣接するファイバ層 7 0 2 間の接触点に、オーム接触が施される。また、このプロセスは、スペーサの形状がスペーサ 7 0 0 とアノード 1 1 6 およびカソード 1 1 4 との位置決め中およびフィールド・エミッション・ディスプレイ 7 0 1 のそれ以降の作製中に維持されるように、スペーサ 7 0 0 を硬質化する。セメント・コーティングは、ガラス・スレッドよりも低い融点を有し、そのため温度はセメントが軟化するがガラス・スレッドは軟化しない温度まで上昇されるので、構造体はその位置決めおよび配置を維持する。所定の電気特性を有するガラス・スレッドおよびコーティング材料を設けることにより、同様な方法を利用してスペーサ 8 0 0, 9 0 0 を作製できる。

【図面の簡単な説明】

【図 1】フィールド・エミッション・ディスプレイ用の従来のスペーサの断面図である。

【図 2】本発明によるフィールド・エミッション・ディスプレイ用のスペーサの実施例の断面図である。

【図 3】本発明による抵抗性コーティングからなる典型的な材料について、二次電子収率と、一次入射電子のエネルギーとの間の関係を示す模式図である。

【図 4】本発明による絶縁性コーティングからなる典型的な材料について、二次電子収率と、一次入射電子のエネルギーとの間の関係を示す模式図である。

【図 5】本発明によるスペーサの高さ方向の、二次電子収率と一次電子のエネルギーとの間の関係を示す模式図である。

【図 6】本発明によるフィールド・エミッション・ディスプレイ用のスペーサの他の実施例の断面図である。

【図 7】本発明によるフィールド・エミッション・ディスプレイ用のスペーサの他の実施例の断面図である。

【図 8】本発明によるフィールド・エミッション・ディスプレイ用のスペーサの他の実施例の断面図である。

【図 9】本発明によるフィールド・エミッション・ディスプレイ用のスペーサの他の実施例の断面図である。

【図 10】本発明によるフィールド・エミッション・ディスプレイ用のスペーサの他の実施例の断面図である。

【図 11】アノードを省いた、図 10 のフィールド・エミッション・ディスプレイの上面図である。

【図 12】本発明によるフィールド・エミッション・ディスプレイ用のスペーサの他の実施例の断面図である。

【図 13】本発明によるフィールド・エミッション・デ

ディスプレイ用のスペーサの他の実施例の断面図である。

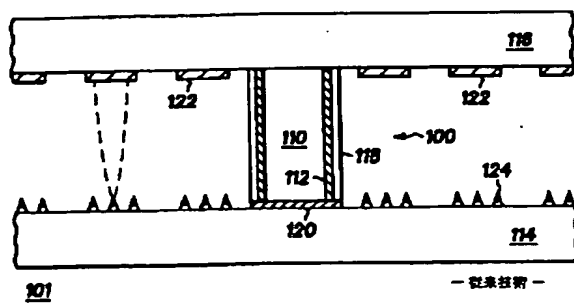
【図 14】 図 10 ないし図 13 に示すスペーサの実施例を作製するために利用できる固定具の上面図である。

【図 15】 図 10 ないし図 13 に示すスペーサの実施例を作製するために利用できる固定具の分解斜視図である。

【符号の説明】

100 スペーサ
101 フィールド・エミッション・ディスプレイ
110 絶縁体
112 導電体
114 カソード
116 アノード
118 低電子放出コーティング
120 導電性パッド
122 燐光体被着物
124 フィールド・エミッション構造
200 スペーサ
201 フィールド・エミッション・ディスプレイ
210 部材
212 抵抗性コーティング
218 絶縁性コーティング
220 低部抵抗性領域
222 上部絶縁性領域
300, 400 スペーサ
301, 401 フィールド・エミッション・ディスプレイ
310, 410 部材
312, 412 抵抗性コーティング
318, 418 絶縁性コーティング
322, 422 上部絶縁性領域
500 スペーサ
501 フィールド・エミッション・ディスプレイ
510 部材
512 抵抗性コーティング

【図 1】

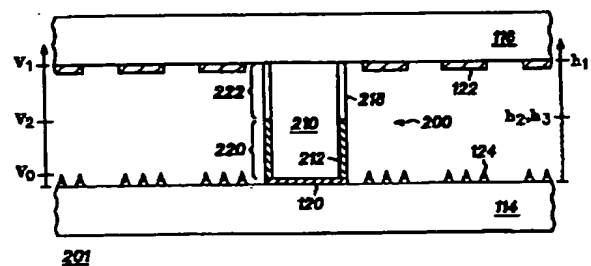


101

- 図 1 参照 -

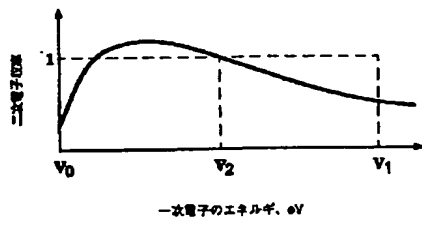
522 上部絶縁性領域
600 スペーサ
601 フィールド・エミッション・ディスプレイ
612 抵抗性コーティング
620 低部抵抗性領域
700 スペーサ
701 フィールド・エミッション・ディスプレイ
702, 703 ファイバ層
710 コア・ファイバ
10 711, 712 延長ファイバ
713, 714, 715, 716 抵抗性コーティング
718 絶縁性コーティング
720 低部抵抗性領域
722 上部絶縁性領域
724 開口部
800 スペーサ
801 フィールド・エミッション・ディスプレイ
811 延長ファイバ
820 低部抵抗性領域
20 822 上部絶縁性領域
900 スペーサ
901 フィールド・エミッション・ディスプレイ
903, 904, 905, 906 ファイバ層
913, 914, 915, 916 延長ファイバ
920 低部抵抗性領域
50 固定具
52 フレーム
54 ピン
56 ベース・プレート
30 58 プラトー部
60 窓
62, 64 締結具
65, 66 スレッドのワープ
68 ネジ

【図 2】

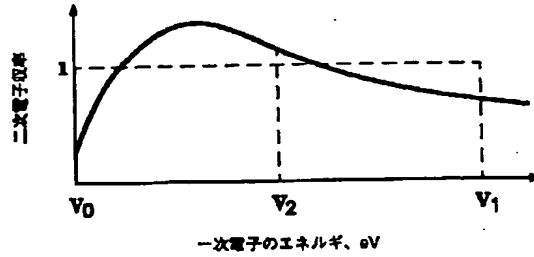


201

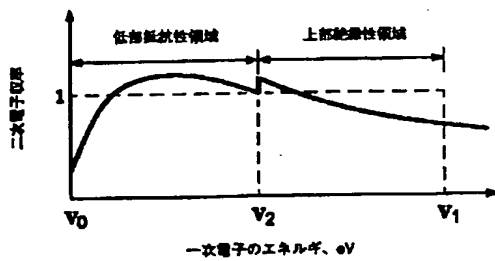
【図 3】



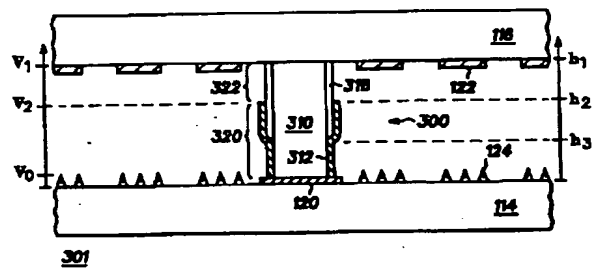
【図 4】



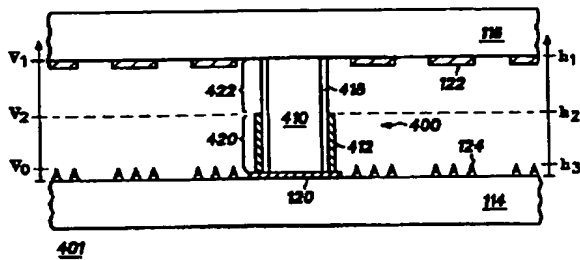
【図 5】



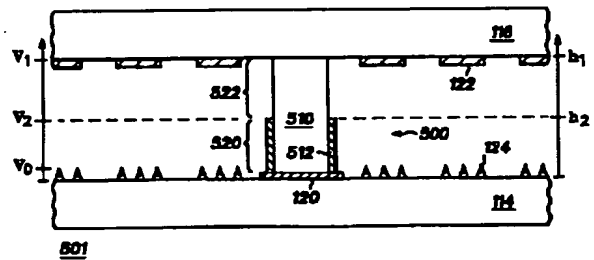
【図 6】



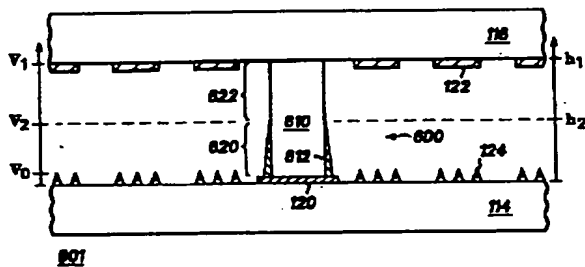
【図 7】



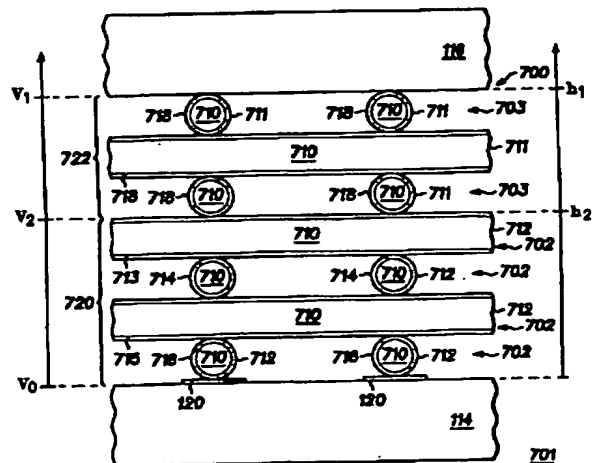
【図 8】



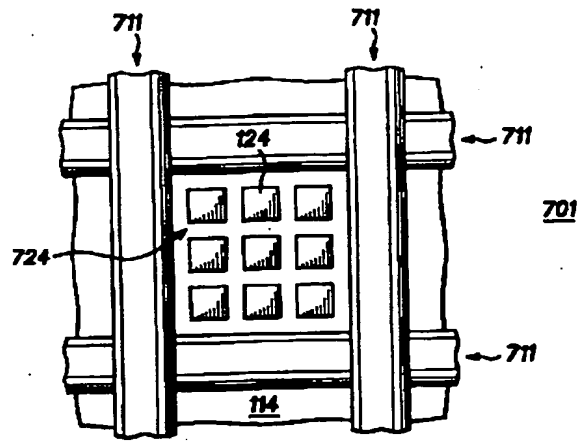
【図 9】



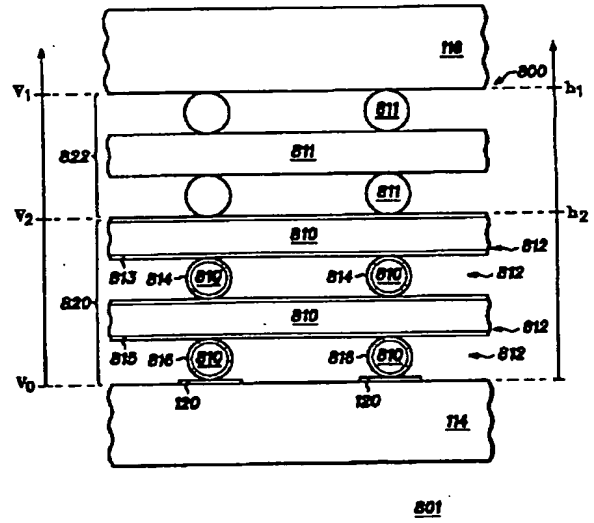
【図 10】



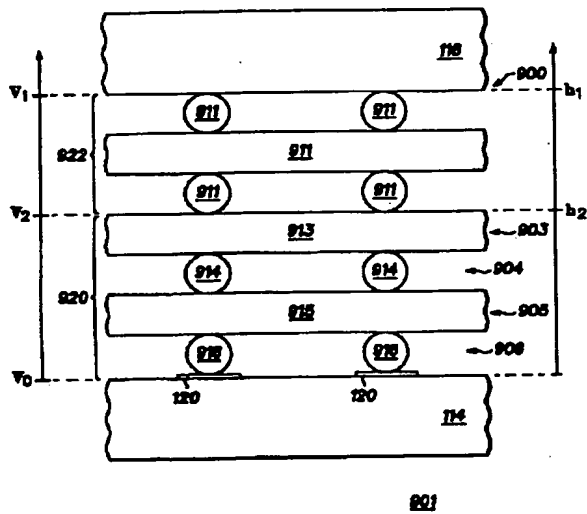
【図 11】



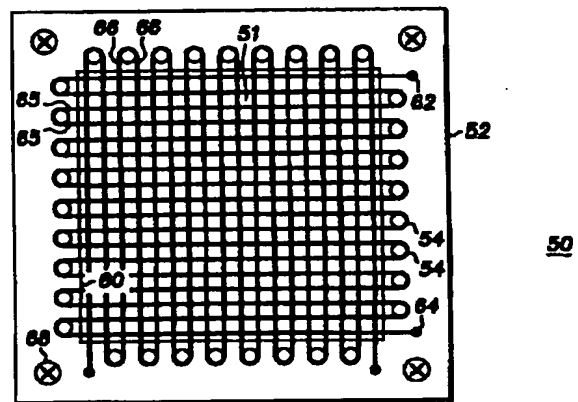
【図 12】



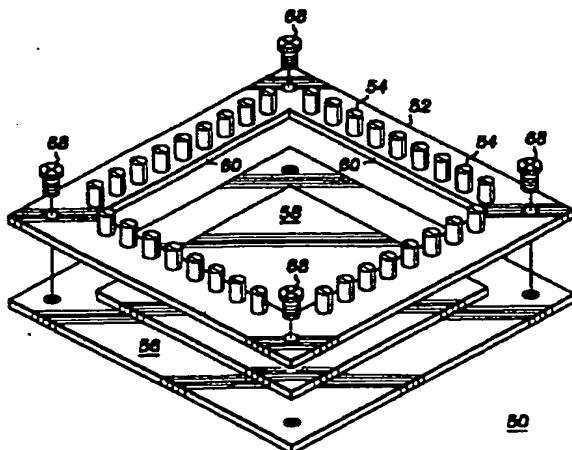
【図 13】



【図 14】



【図 15】



フロントページの続き

(72)発明者 キャスリーン・トビン
アメリカ合衆国アリゾナ州テンピ、ナンバ
ー2002、イースト・ブロードウェイ・ロー
ド1500